

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 11 月 24 日 (24.11.2005)

PCT

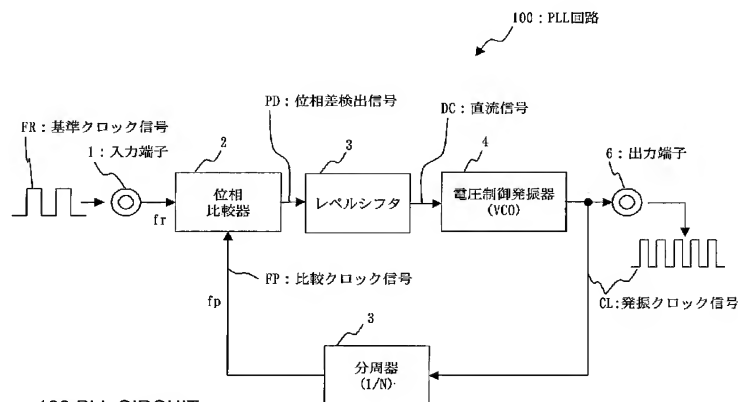
(10) 国際公開番号
WO 2005/112265 A1

- (51) 国際特許分類: H03L 7/093 (74) 代理人: 溝井 章司 (MIZOI, Shoji); 〒2470056 神奈川県鎌倉市大船二丁目 17 番 10 号 NTA 大船ビル 3 階 溝井国際特許事務所 Kanagawa (JP).
- (21) 国際出願番号: PCT/JP2004/006639
- (22) 国際出願日: 2004 年 5 月 17 日 (17.05.2004) (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 三菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI KAISHA) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目 2 番 3 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 藤原 玄一 (FUJIWARA, Genichi) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社内 Tokyo (JP).
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

[続葉有]

(54) Title: PHASE LOCKED LOOP (PLL) CIRCUIT, ITS PHASING METHOD AND OPERATION ANALYZING METHOD

(54) 発明の名称: フェイズ・ロックド・ループ (PLL) 回路及びその位相同期方法及びその動作解析方法



100 PLL CIRCUIT
1 INPUT TERMINAL
2 PHASE COMPARATOR
3 LEVEL SHIFTER
4 VOLTAGE CONTROLLED OSCILLATOR (VCO)
3 FREQUENCY DIVIDER (1/N)
6 OUTPUT TERMINAL
FR REFERENCE CLOCK SIGNAL
PD PHASE DIFFERENCE DETECTION SIGNAL
DC DC SIGNAL
FP COMPARISON CLOCK SIGNAL
CL OSCILLATION CLOCK SIGNAL

(57) Abstract: A phase locked loop (PLL) circuit comprising a phase comparator (2) for comparing the phase of a reference clock signal with that of a comparison clock signal to produce a phase comparison signal having three-level outputs, a high voltage (H) level, a low voltage (L) level and a reference level, and outputting an H or L level signal having a duration corresponding to a detected phase

[続葉有]

WO 2005/112265 A1



IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

difference or a reference level signal when the phase difference is not present, a level shifter (3) serving to hold rectangular waveform of a phase comparison signal from the phase comparator (2), a voltage controlled oscillator (VCO) (4) for advancing the phase on receiving an H level signal and delaying the phase on receiving an L level signal, and a frequency divider (5) for dividing an oscillation clock from the VCO (4) to generate a comparison clock signal.

(57) 要約: フェイズ・ロックド・ループ (PLL) 回路において、基準クロック信号と比較クロック信号との位相比較を実行した位相比較信号が、高電圧 (以下、H) レベルと、低電圧 (以下、L) レベルと、基準レベルの3値出力を持ち、検出した位相差に応じた時間幅でH又はLレベル信号を出力し、位相差なしの場合は基準レベル信号を出力する位相比較器2と、位相比較器2からの位相比較信号波形が矩形を保持するように働くレベルシフタ3と、Hレベル信号を入力して位相を進ませ、Lレベル信号を入力して位相を遅らせる電圧制御発振器 (VCO) 4と、VCO 4から出力される発振クロックを分周して比較クロック信号とする分周器5とを備えた。

明 細 書

フェイズ・ロックド・ループ(PLL)回路及びその位相同期方法及びその動作解析方法

技術分野

- [0001] この発明は、基準クロック信号と比較クロック信号との位相差に応じたクロック信号を発生するPLL(Phase Locked Loop)回路及びその位相同期方法に関するものである。

背景技術

- [0002] 例えば、特許文献1(特開2004-40227号公報)には、従来のPLL回路が開示されている。
- [0003] 従来のPLL回路においては、位相比較を実行した出力信号が、高電圧レベルの矩形波信号の時間幅と、低電圧レベルの矩形波信号の時間幅との時間差が、位相差に比例しており、位相差なしの場合、高電圧レベルと低電圧レベルの矩形波信号時間幅が等しくなる位相比較器を装備し、必要とされてきたループフィルタを省略し、PLL回路でループフィルタが搭載されていた部分に位相比較回路からの出力信号波形が矩形を保持するように働く波形整形回路を装備している。
- [0004] また、電圧制御発振器(VCO:Voltage Controlled Oscillator)は、その電圧一周波数変動特性が、周波数変動を電圧の関数とした場合に奇関数となる事を前提にして設計されている。

特許文献1:特開2004-40227号公報

発明の開示

発明が解決しようとする課題

- [0005] 従来のPLL回路は、以上のように構成されているので、周波数変動を電圧の関数とした場合に奇関数となる電圧一周波数特性を持つVCOが必要となる。実際のVCOで、そのような特性は部分的な範囲にしかなく、その範囲で使用するしかない。
- [0006] また、上記特性範囲の広いVCOは高価であり、回路のコスト増大になる、という課題がある。

- [0007] また、上記特許文献1記載の位相比較器は、汎用部品ではなく別途設計する必要があるので、その分、設計コストが増大する、という課題がある。
- [0008] さらに、従来のPLL回路では、上記位相比較器を用いるため、位相同期完了後の定常状態にあっても、VCOからの出力は周波数が変動している、という課題があった。
- [0009] この発明は、低コストで、しかも、出力するクロック信号の周波数変動が小さいPLL回路を得ることを目的とする。

課題を解決するための手段

- [0010] この発明に係るフェイズ・ロックド・ループ(PLL)回路は、基準クロック信号と比較クロック信号とを入力して基準クロック信号と比較クロック信号との位相を比較し、位相差に応じて3つの電圧レベルを持つ矩形波信号を生成して出力する位相比較器と、位相比較器から出力される矩形波信号を入力して、矩形波信号の電圧レベルをシフトして、この電圧レベルをシフトさせた矩形波信号を出力するレベルシフタと、レベルシフタから出力される矩形波信号を入力し、その矩形波信号の電圧レベルに応じた周波数のクロック信号を出力する電圧制御発振器(VCO)と、VCOから出力されるクロック信号をN分周(Nは自然数)した信号を比較クロック信号として上記位相比較器に帰還する分周器とを備えたことを特徴とする。
- [0011] 上記位相比較器は、基準クロック信号と比較クロック信号との位相の比較を、基準クロック信号の周期毎に実行し、高電圧レベルと低電圧レベルと基準レベルの3値を持つ矩形波信号を生成することを特徴とする。
- [0012] 上記位相比較器は、比較クロック信号に位相遅れの位相差がある場合、高電圧レベルの矩形波信号の時間幅を位相差に比例させて高電圧レベルの矩形波信号を生成し、比較クロック信号に位相進みの位相差がある場合、低電圧レベルの矩形波信号の時間幅を位相差に比例させて低電圧レベルの矩形波信号を生成し、位相差なしの場合には、高電圧レベルの矩形波信号と低電圧レベルの矩形波信号とを出力せず基準レベルの信号を出力することを特徴とする。
- [0013] 上記レベルシフタは、位相比較器から出力される高電圧レベルの矩形波信号の電圧値と低電圧レベルの矩形波信号の電圧値と基準レベルの電圧値との3つの電圧

値を、VCOを制御する電圧値に変換することを特徴とする。

[0014] 上記レベルシフタは、直列に接続された複数の抵抗器と、上記3つの電圧値に基づいて上記複数の抵抗器の接続を変更してVCOを制御する電圧値を生成するスイッチとを備えたことを特徴とする。

[0015] 上記位相比較器は、基準クロック信号と比較クロック信号との位相の比較を、基準クロック信号の周期毎に実行し、高電圧レベルと低電圧レベルと基準レベルの3値を持つ矩形波信号を生成することを特徴とする。

[0016] 上記VCOは、任意の電圧対周波数特性を持つことを特徴とする。

[0017] 上記PLL回路は、PLL回路の応答が数列によって表現された数式モデルを動作原理とすることを特徴とする。

[0018] この発明に係るフェイズ・ロックド・ループ(PLL)回路の位相同期方法は、基準クロック信号と比較クロック信号とを入力して基準クロック信号と比較クロック信号との位相を比較し、位相差に応じて3つの電圧レベルを持つ矩形波信号を生成して出力し、

上記矩形波信号を入力して、矩形波信号の電圧レベルをシフトして、この電圧レベルをシフトさせた矩形波信号を出力し、

上記電圧レベルをシフトさせた矩形波信号を入力し、その矩形波信号の電圧レベルに応じた周波数のクロック信号を出力し、

上記クロック信号をN分周(Nは自然数)した信号を上記比較クロック信号として帰還することを特徴とする。

[0019] また、基準クロック信号と比較クロック信号との位相の比較を、基準クロック信号の周期毎に実行し、高電圧レベルと低電圧レベルと基準レベルの3値を持つ矩形波信号を生成することを特徴とする。

[0020] この発明に係るフェイズ・ロックド・ループ(PLL)回路の動作解析方法は、基準クロック信号と比較クロック信号とを入力して基準クロック信号の位相と比較クロック信号の位相とを比較し、位相差に応じた時間幅を持つ所定電圧レベルの矩形波信号を生成して出力する位相比較器と、

位相比較器から出力される信号を入力し、その信号の電圧レベルに応じた周波数のクロック信号を出力する電圧制御発振器(VCO)と、

VCOから出力されるクロック信号をN分周(Nは自然数)した信号を比較クロック信号として上記位相比較器に帰還する分周器と

を備えたフェイズ・ロックド・ループ(PLL)回路の動作解析方法であって、

上記基準クロック信号と比較クロック信号との位相差を下記数式モデルを用いて動作解析を行うことを特徴とする。

$$\theta_n = (1 - ((G \cdot T) / (2\pi \cdot N)))^n \cdot \theta$$

n: 自然数

π : 円周率

G: VCOの電圧対周波数特性に応じた定数

T: 基準クロック信号の発振周期

N: 分周器の分周数(自然数)

θ : 時刻0における位相差

θ_n : 時刻nTにおける位相差

発明を実施するための最良の形態

[0021] 実施の形態1.

以下、この発明の実施の形態1のPLL(Phase Locked Loop)回路100を図に基づいて説明する。PLL回路とは、位相同期ループなどとも呼ばれ、入力信号と位相のズレのない出力信号を生成する回路のことである。

[0022] 図1において、入力端子1は、基準クロック信号FRを入力する端子である。

[0023] 位相比較器2は、入力された2つの信号の位相比較を実行し、その位相差に合わせて、位相差検出信号PDを出力する。位相比較器2は、高電圧(以下、H)レベル矩形波信号と低電圧(以下、L)レベル矩形波信号とを出力する。位相比較器2は、位相差に合わせて、Hレベル矩形波信号の時間幅、または、Lレベル矩形波信号の時間幅が、位相差に比例した矩形波を位相差検出信号PDとして出力する。位相比較器2は、位相差なしの場合、基準レベル電圧を出力する。

[0024] レベルシフタ3は、位相比較器2からの位相差検出信号PDの信号波形が矩形を保持するように働く波形整形器である。

[0025] 電圧制御発振器(VCO: Voltage Controlled Oscillator)4は、制御端子を有

し、制御端子に加える直流信号DCの直流電圧によって発振周波数を変化させることができる発振器である。ここで、VCO4は、基準クロック信号のN倍(Nは自然数)の周波数の発振クロック信号CLを発生させる発振器である。

[0026] 分周器5は、発振クロック信号CLを $1/N$ に分周して比較クロック信号FPを位相比較器2へ出力するクロック分周器である。

[0027] 出力端子6は、発振クロック信号CLを出力する端子である。

[0028] 図2は、レベルシフタ3の実現例を示す図である。

[0029] 図2において、SW1とSW2は、位相比較器2からの矩形波信号の出力レベルによって信号接点を開閉するアナログスイッチである。SW1は、位相差検出信号PDがHレベル矩形波信号のときのみONになるスイッチである。SW2は、位相差検出信号PDがLレベル矩形波信号のときのみONになるスイッチである。これら以外の時は、SW1とSW2は、OFFである。SW1とSW2とが両方ONになることはない。

[0030] R1, R2, R3, R4は、VCO4に入力する直流信号DCの電圧レベルを設定する抵抗器(或いは、その抵抗値)である。R1, R2, R3, R4は、直列に接続されて電圧 V_{cc} が印加されている。

[0031] SW1とSW2とは、位相比較器2からの矩形波信号の出力レベルによって以下の開閉状態を形成する。その場合のVCO4に入力する直流信号DCの電圧レベルは、以下のようになる。

[0032] SW1がONでSW2がOFFの場合、R2がバイパスされるので、

$$\text{電圧レベル} = V_{cc} \times ((R3 + R4) / (R1 + R3 + R4))$$

となり、電圧レベルは高電圧となる。以下、この高電圧信号(或いは、その電圧値)を V_H で表す。

[0033] SW1がOFFでSW2がONの場合、R3がバイパスされるので、

$$\text{電圧レベル} = V_{cc} \times ((R4) / (R1 + R2 + R4))$$

となり、電圧レベルは低電圧となる。以下、この低電圧信号(或いは、その電圧値)を V_L で表す。

[0034] SW1がOFFでSW2がOFFの場合、R1〜R4が全て連結されるので、

$$\text{電圧レベル} = V_{cc} \times ((R3 + R4) / (R1 + R2 + R3 + R4))$$

となり、電圧レベルは V_H と V_L の間の基準電圧となる。以下、この基準電圧信号(或いは、その電圧値)を V_n で表す($V_H > V_n > V_L$)。

[0035] 図3は、VCO4の電圧一周波数特性を示す図である。

[0036] 図3において、横軸はVCO4への直流信号DCの入力電圧 v である。入力電圧 v は、0ボルトから V_{cc} ボルトまでの値をとる。

[0037] 縦軸は、VCO4からの発振クロック信号CLの出力周波数 f である。ここで、周波数 f_0 を基準クロック信号FRの周波数 f_r の $1/N$ の周波数とする。入力電圧 v が0ボルトのとき出力周波数 f は周波数 $f_0 - df$ となる。しかし、入力電圧 v が V_{cc} ボルトのとき出力周波数 f は周波数 $f_0 + df$ とはならない。しかし、前述した V_H 、 V_L を適切に選択すると、以下ようになる。

[0038] V_n は、出力周波数 f が周波数 f_0 となる基準電圧である。

[0039] V_L は、出力周波数 f が周波数 $f_0 - \Delta f$ となる低電圧である。

[0040] V_H は、出力周波数 f が周波数 $f_0 + \Delta f$ となる高電圧である。

[0041] ここで、3つの電圧レベルの関係は、 $V_H > V_n > V_L$ である。但し、 $V_H - V_n = V_n - V_L$ とは限らない。

[0042] 図3において、出力周波数 f が周波数 f_0 からの周波数変化分は、入力電圧 v の関数 $g(v)$ となるとすると、図3の特性グラフより、

$$g(V_H) = -g(V_L) = \Delta f, \quad g(V_n) = 0$$

となることが明らかである。

[0043] 即ち、

$$\Delta f = G \quad (G \text{ は定数})$$

である。

[0044] レベルシフタ3は、以上のような V_H 、 V_n 、 V_L を発生させるように予めレベル設定されている。即ち、レベルシフタ3は、そのHレベル出力に対応するVCOの出力周波数と基準電圧のクロック周波数との差(Δf)と、Lレベル出力に対応するVCOの出力周波数と基準電圧のクロック周波数との差($-\Delta f$)とが、絶対値は等しくて符号が異なるようにレベル設定されている。

[0045] なお、定常状態での発振クロック信号CLの周波数の関係は、

発振クロック信号CLの周波数を f_o 、基準クロック信号FRの周波数を f_r 、比較クロック信号FPの周波数を f_p とすると、

$$f_o = N \times f_r, f_r = f_p$$

である。

[0046] 図4は、位相比較器2、及び、レベルシフタ3の基本動作概念を示す図である。

[0047] 横軸は、時間を示す。縦方向は、基準クロック信号FRの信号波形と、比較クロック信号FPの信号波形と、位相比較器2からの位相差検出信号PDの出力波形と、レベルシフタ3からの直流信号DCの電圧、即ち、VCO4への入力電圧 v を示す。

[0048] 図4では、比較クロック信号FPと基準クロック信号FRとが θ だけ位相がずれている場合を示している。位相比較器2ではこの位相差 θ を検出する。 $-\theta$ は、比較クロック信号FPの位相の遅れを示す。 $+\theta$ は、比較クロック信号FPの位相の進みを示す。

[0049] 位相比較器2は、位相の遅れがある場合、位相を進ませるため(SW1をONにするため)、時刻 t_1 から t_2 まで電圧 V_{cc} の矩形波信号を出力する。レベルシフタ3は、電圧 V_{cc} の矩形波信号を入力して、SW1をONにして、電圧を V_H に変更して直流信号DCを出力する。このような操作が n (n は自然数)周期目までの位相差 θ_n (n は自然数)についても順次実施されて、 n 周期目の時刻 t_3 で位相が一致する(図4は $n=1$ の場合)。

[0050] 位相比較器2は、位相が合っている場合、電圧 $V_{cc}/2$ の信号を出力する。レベルシフタ3は、電圧 $V_{cc}/2$ の信号を入力して、SW1とSW2をOFFにして、電圧を V_n に変更して直流信号DCを出力する。或いは、SW1とSW2のOFFを維持して、電圧を V_n に維持した直流信号DCを信号を出力する。

[0051] 位相比較器2は、位相の進みがある場合、位相を遅らせるため(SW2をONにするため)、時刻 t_4 から t_5 まで電圧0(GND)の矩形波信号を出力する。レベルシフタ3は、電圧0の矩形波信号を入力して、SW2をONにして、電圧を V_L に変更して直流信号DCを出力する。このような操作が n (n は自然数)周期目までの位相差 θ_n (n は自然数)についても順次実施されて、 n 周期目の時刻 t_6 で位相が一致する(図4は $n=1$ の場合)。

[0052] 図5は、位相比較器2で比較クロック信号FPが基準クロック信号FRより θ だけ位相

がずれているのを検出した場合の検出信号波形を示す図である。

[0053] 図5において、横軸は、時間を示す。縦方向は、直流信号DCの電圧、即ち、VCO 4への入力電圧 v の電圧レベルを示す。

[0054] T は、基準クロック信号FRの1周期の時間である($T=1/\text{fr}$)。

[0055] V_n は、基準となる基準電圧である。 V_n は、図3と図4の V_n と同じものである。

[0056] V_L は、Lレベル部分となる低電圧である。 V_L は、図3と図4の V_L であり、 V_L は位相を遅らせる信号である。

[0057] V_H は、Hレベル部分となる高電圧である。 V_H は、図3と図4の V_H であり、 V_H は位相を進める信号である。

[0058] V_H は凸形、 V_L は凹形の矩形波信号を形成している。

[0059] 図5において、 V_H は、1周期の中央(半周期目、即ち、 $T/2$)から立ち上がり($\theta/2\pi$) T の期間だけ高電圧となって、その後、基準電圧に戻っている。

[0060] V_L は、1周期の中央($T/2$)から($\theta/2\pi$) T の期間だけ前から低電圧となって、その後、1周期の中央($T/2$)で基準電圧に戻っている。

[0061] 図4では、 V_H と V_L は、位相のずれた場所と同じ場所に出力されているが、図5のように、位相比較器2が $T/2$ を中心にして位相差検出信号PDを出力することにより、 $T/2$ を中心にして V_H と V_L が出力され、1周期 T の中で確実に位相の調整をすることができる。

[0062] V_H と V_L との時間幅は、($\theta/2\pi$) T の期間である。即ち、 V_H と V_L との時間幅は、位相差 θ に比例している。このため、($\theta/2\pi$) T の期間だけ発振クロック信号CLの周波数 $f_0 + \Delta f$ 、又は、 $f_0 - \Delta f$ の周波数になり、その結果、発振クロック信号CLの位相は、 θ に比例した量だけ進まされ、又は、 θ に比例した量だけ遅らされることになる。

[0063] 次に、PLL回路100の位相同期方法について、図6の動作フローチャートを用いて説明する。

[0064] 入力工程S1

まず、基準クロック信号の入力端子1より入力された基準クロック信号FRは、位相比較器2に入力される。また、VCO4からの発振クロック信号CLは分周器5で $1/N$ に分周され、それを比較クロック信号FPとして、位相比較器2に入力する。

[0065] 位相比較工程S2

次に、位相比較器2では、入力された基準クロック信号FRと比較クロック信号FPの位相比較を実行する。位相比較器2は、位相差に合わせて、Hレベル矩形波信号の時間幅、または、Lレベル矩形波信号の時間幅が、位相差に比例した矩形波を位相差検出信号PDとして出力する。

[0066] 位相比較器2は、比較クロック信号FPの位相の遅れを検出した場合、位相を進ませるためSW1をONにする電圧VccボルトのHレベル矩形波信号を出力する。Hレベル矩形波信号の時間幅は、位相差に比例している。その時間幅は、 $(\theta / 2\pi)T$ の期間である。

[0067] 位相比較器2は、位相が合っている場合、電圧Vcc/2の信号を出力する。

[0068] 位相比較器2は、比較クロック信号FPの位相の進みを検出した場合、位相を遅らせるためSW2をONにする電圧0ボルト(GND)のLレベル矩形波信号を出力する。Lレベル矩形波信号の時間幅は、位相差に比例している。その時間幅は、 $(\theta / 2\pi)T$ の期間である。

[0069] ここで、位相比較器2の出力を次のように仮定する。

[0070] Hレベルは、ほぼ電源電圧Vccに等しく、Vcc/2より十分に高い電位であるとし、Lレベルは、ほぼ接地電位GND=0ボルトに等しく、Vcc/2より十分に低い電位である。

[0071] また、標準レベルは、ほぼVcc/2に等しく、Vccより十分低くて、GNDより十分高い電位である。

[0072] これらの設定は、R1, R2, R3, R4の値を選択することによって可能である(例えば、R1, R4<R2, R3)。

[0073] レベルシフト工程S3

この位相比較器2から出力されるの位相差検出信号PDは、レベルシフタ3の入力となる。

[0074] ここで、レベルシフタ3を例えば図2のように構成し、図2のSW1はほぼVcc電位入力で作動してR2を短絡するが、それ以外の電位入力では作動しないものとし、また、図2のSW2はほぼGND電位入力で作動してR3を短絡するが、それ以外の電位入

力では作動しないものとする。

- [0075] レベルシフタ3では、その位相差検出信号PDのオーバシュートやアンダシュートを削り、Hレベルを、

$$V_H = V_{cc} \times ((R3 + R4) / (R1 + R3 + R4))$$

に変換し、Lレベルを、

$$V_L = R4 / (R1 + R2 + R4)$$

に変換し、さらに、基準レベルを、

$$V_n = (R3 + R4) / (R1 + R2 + R3 + R4)$$

に変換して、VCO4への周波数制御電圧としてVCO4に入力する。

- [0076] 発振工程S4

VCO4は、Hレベル矩形波信号の時間幅を1周期の間に削減すべき位相量に変換して、発振をする。また、Lレベル矩形波信号の時間幅を1周期の間に付加すべき位相量に変換して、発振をする。

- [0077] 即ち、VCO4に入力される周波数制御電圧の1周期Tの中には、この1周期の間に付加、或いは、削減すべき位相量が、Hレベル矩形波信号の時間幅、または、Lレベル矩形波信号の時間幅として含まれていることになる。VCO4が、この時間幅を読取り、その時間幅に従って位相調整した発振クロック信号CLを発振する。

- [0078] 前述の動作は図4に示され、比較クロック信号FPが基準クロック信号FRより位相が遅れている場合は、レベルシフタ3からは、その位相差に比例した時間幅で V_H が出力され、比較クロック信号FPが基準クロック信号FRより位相が進んでいる場合には、レベルシフタ3からは、その位相差に比例した時間幅で V_L が出力される。また、 V_H 及び V_L が出力されていない時は、レベルシフタ3出力は V_n に保持される。

- [0079] なお、比較クロック信号FPと基準クロック信号FRとの間に位相差がない場合、即ち、位相同期確立した場合も、出力は V_n となる。

- [0080] 出力工程S5

VCO4から出力される発振クロック信号CLは、1つはPLL回路からの出力として出力端子7から外部に出力される。もう一方は、分岐して分周器5に入力される。

- [0081] 分周工程S6

発振クロック信号CLは、分周器5でN分周され比較クロック信号FPとして、再び位相比較器2にフィードバックされる。

[0082] この実施の形態に係るPLL回路は、位相同期確立後、位相比較器2の出力は定常な基準レベル電圧 $V_{cc}/2$ となり、これを受けたレベルシフタの出力も定常なVCO4の基準レベル V_n になるので、VCO4からの出力周波数、即ち、PLL回路の出力周波数は変動の少ないクロック出力となることが予測できる。

[0083] この実施の形態では、PLLとしての動作を伝達関数で記述するのではなく、基準クロック信号FRの1周期分の位相調整量の数列として扱う。例えば、位相比較器2で比較クロック信号FPが基準クロック信号FRより θ だけ位相が遅れている、或いは、進んでいることを検出した場合、その検出信号波形は図5となる。

[0084] ここで、 V_n の位置を基準線として、この波形のHレベル部分とLレベル部分を見た時、図3のVCO4の特性から、図5に示す様にHレベル部分は位相を進める要素、Lレベル部分は位相を遅らせる要素となる。

[0085] 即ち、基準クロック信号FRに対して比較クロック信号FPの θ の位相遅れを検出した場合、図5に示す位相進み要素によって、基準クロック信号FRと比較クロック信号FPの位相差 θ に比例した量だけ比較クロック信号FPの位相を進ませる事ができる。また、基準クロック信号FRに対して比較クロック信号FPの θ の位相進みを検出した場合、図5に示す位相遅れ要素によって、基準クロック信号FRと比較クロック信号FPの位相差 θ に比例した量だけ比較クロック信号FPの位相を遅らせることができる。

[0086] 以上のように、この実施の形態に係るPLL回路は、位相比較を実行した出力信号が、Hレベル矩形波信号と、Lレベル矩形波信号と、基準レベルの3値出力を持ち、検出した位相差に応じた時間幅でHレベル信号又はLレベル信号を出力し、位相差なしの場合は標準レベル電圧を出力する位相比較器2を装備したものである。

[0087] また、この実施の形態に係るPLL回路は、位相比較器2からの出力信号波形が矩形を保持するように働くレベルシフタ3を装備したものである。

[0088] また、上記レベルシフタ3は、Hレベル出力 V_H に対応するVCO4の出力周波数($f_0 + \Delta f$)と基準電圧 V_n のクロック周波数(f_0)との差(Δf)と、上記レベルシフタ3のLレベル出力 V_L に対応するVCO4の出力周波数($f_0 - \Delta f$)と基準電圧 V_n のクロック周波

数(f_0)との差(Δf)とが、絶対値は等しくて符号が異なる($|\Delta f| = |-\Delta f|$)ように出力電圧(V_n, V_H, V_L)をレベル設定するものである。

[0089] また、この実施の形態に係るPLL回路は、基準クロック信号の1周期分の位相差を1つの計量単位とした数列として動作解析及び設計を行うものである。この点については、以下に説明する。

[0090] これらの回路動作を定量的に記述する数式モデルを説明する。

[0091] 時刻 $t=0$ における基準クロック信号FRと比較クロック信号FPとの位相差を θ とすると、時刻 $t>0$ における位相差 $\psi(t)$ は次式で与えられる。

[0092] [数1]

$$\psi(t) = \theta - \frac{1}{N} \cdot \int_0^t g(v(x)) dx$$

[0093] ところで、時刻 $t=(n-1)T$ ($n=1, 2, 3, \dots$)における基準クロック信号FRと比較クロック信号FPとの位相差(基準クロック信号FRの位相から比較クロック信号FPの位相を引いたもの)を θ_{n-1} として、 $(n-1)T < t < nT$ の間に、VCO4に入力される電圧 $v(t)$ は、ステップ関数 $U(t)$

[0094] [数2]

$$U(t) = \begin{cases} 1, & t > 0 \\ 0, & t < 0 \end{cases}$$

[0095] を用いて、

[0096] [数3]

$$\tau_n = (n-1)T + \frac{|\theta_{n-1}|}{2\pi} T$$

[0097] とすると、比較クロック信号FPが基準クロック信号FRより位相が遅れている($\theta_{n-1} > 0$)場合、次式となる。

[0098] [数4]

$$v(t) = V_H \cdot U[t - (n-1)T] - V_H \cdot U(t - \tau_n) \\ + V_n \cdot U(t - \tau_n) - V_n \cdot U(t - nT)$$

[0099] これは、

[0100] [数5]

$$v(t) = \begin{cases} V_H, & (n-1)T < t \leq \tau_n \\ V_n, & \tau_n < t \leq nT \end{cases}$$

[0101] と同値である。

[0102] $g(v)$ に上記 $v(t)$ を代入して、 g を時間 t の関数に変換すると、

[0103] [数6]

$$g(t) = \begin{cases} g(V_H) = \Delta f = G, & (n-1)T < t \leq \tau_n \\ g(V_n) = 0, & \tau_n < t \leq nT \end{cases}$$

[0104] 同様にして、比較クロック信号FPが基準クロック信号FRより位相が進んでいる ($\theta_{n-1} < 0$) 場合、

[0105] [数7]

$$v(t) = V_L \cdot U[t - (n-1)T] - V_L \cdot U(t - \tau_n) \\ + V_n \cdot U(t - \tau_n) - V_n \cdot U(t - nT)$$

[0106] これは、

[0107] [数8]

$$v(t) = \begin{cases} V_L, & (n-1)T < t \leq \tau_n \\ V_n, & \tau_n < t \leq nT \end{cases}$$

[0108] 同値である。

[0109] $g(v)$ に上記 $v(t)$ を代入して、 g を時間 t の関数に変換すると、

[0110] [数9]

$$g(t) = \begin{cases} g(V_L) = -\Delta f = -G, & (n-1)T < t \leq \tau_n \\ g(V_n) = 0, & \tau_n < t \leq nT \end{cases}$$

[0111] 従って、 $(n-1)T < t \leq nT$ における周波数変化量 $g(t)$ は、 $(\theta_{n-1} > 0)$ と $(\theta_{n-1} < 0)$ との両方の場合を纏めて表現すると、次式となる。

[0112] [数10]

$$g(t) = \frac{\theta_{n-1}}{|\theta_{n-1}|} \cdot G \cdot \{U(t - (n-1)T) - U(t - \tau_n)\}$$

[0113] これを用いて、 $t = nT$ の時の位相差 θ_n が計算できて、

[0114] [数11]

$$\begin{aligned} \theta_n &= \psi(nT) \\ &= \theta_{n-1} - \frac{\theta_{n-1}}{|\theta_{n-1}|} \cdot \frac{G}{N} \cdot \\ &\quad \left[\sum_{k=1}^{n-1} \int_{(k-1) \cdot T}^{k \cdot T} [U(t - (k-1) \cdot T) - U(t - \tau_k)] dt \right] \\ &\quad - \frac{\theta_{n-1}}{|\theta_{n-1}|} \cdot \frac{G}{N} \cdot \\ &\quad \int_{(n-1) \cdot T}^{n \cdot T} [U(t - (n-1) \cdot T) - U(t - \tau_n)] dt \\ &= \theta_{n-1} - \frac{\theta_{n-1}}{|\theta_{n-1}|} \frac{G}{N} \cdot \\ &\quad \int_{(n-1) \cdot T}^{n \cdot T} [U(t - (n-1) \cdot T) - U(t - \tau_n)] dt \end{aligned}$$

[0115] この式の定積分を計算すると、

[0116] [数12]

$$\theta_n = \left(1 - \frac{G \cdot T}{2\pi \cdot N}\right) \cdot \theta_{n-1}$$

[0117] という等比数列を表す漸化式になる。

[0118] 従って、次式が、周期T毎の位相差変化を表す数式モデルとなる。

[0119] [数13]

$$\theta_n = \left(1 - \frac{G \cdot T}{2\pi \cdot N}\right)^n \cdot \theta$$

[0120] ところで、この数列の収束条件が、本実施の形態のPLL回路のロックアップ条件でもあり、

[0121] [数14]

$$0 < \frac{G \cdot T}{\pi \cdot N} < 4$$

[0122] でなければならない。

[0123] 逆に、上記条件を満足すれば、初期(時刻t=0)位相差 θ が如何なる値であろうとも必ずロックアップすることを意味している。

[0124] また、これにより $GT/N\pi = 2$ の場合は、1周期で位相差0となることが解る。

[0125] つまり、この実施の形態の数式モデルを用いれば、PLL回路の動作を解析する方法を提供することができるとともに、本実施の形態のPLL回路のステップ位相入力に対する応答動作が把握でき、さらに、ロックアップ時間の設計も可能となる。

[0126] 以上のように、この実施の形態のPLL回路は、基準クロック信号と比較クロック信号との位相比較を、その基準クロック信号の周期毎に実行し、高電圧レベルと低電圧レベルと基準レベルの3値を持つ矩形波信号で、高電圧レベルの矩形波信号の時間幅と低電圧レベルの矩形波信号の時間幅とが位相差に比例しており、位相差なしの場合には、高電圧レベルの矩形波信号と低電圧レベルの矩形波信号とを出力せず基準レベルを出力する位相比較器を備えていることを特徴とする。

[0127] また、PLL回路は、入力される電圧値に応じた周波数のクロック信号を出力するVCO(電圧制御発振器、以下VCO)とを備え、上記VCOから出力されるクロック信号をN分周(Nは自然数)した信号を比較クロック信号として上記位相比較器に帰還することを特徴とする。

[0128] さらに、PLL回路は、位相比較器から出力される高電圧レベル矩形波信号の電圧値と低電圧レベル矩形波信号の電圧値と基準レベルの電圧値に対して、VCOへの入力として適当な制御電圧値にレベル変換を施すレベルシフタを備えたことを特徴とする。

[0129] こうして、PLL回路は、任意の電圧対周波数特性を持つVCOを備えることができる。

[0130] また、PLL回路は、PLL回路の応答が数列によって表現された数式モデルを動作原理としている。

産業上の利用可能性

[0131] 以上のように、この実施の形態に係るPLL回路によれば、上述の3値出力する位相比較器は、「位相周波数比較器」と称されるタイプのもので、広く集積回路(IC)化されたものになっており、この様な汎用の位相比較器を使用すれば、専用の位相比較器を設計する必要がないので、その分、設計コストを低減したPLL回路を得ることができる。

[0132] しかも、位相同期確立後は、VCO入力としては定常な基準レベル電圧のみなので、PLL回路としての出力周波数は変動の少ない状態となる。

[0133] また、位相収束条件

[0134] [数15]

$$|\theta_n| < \varepsilon$$

(ε は位相同期確率後の許容位相差の最大値)

[0135] が決まれば、これを満たすnから収束速度も直ちに算出可能で、 $n \times T$ である、という従来のPLL回路の長所は踏襲されている。

[0136] さらに、数列の収束条件式においては、従来のPLL回路の2倍の収束範囲になっ

ているので、回路設計自由度が広がったPLL回路を得ることができる。

図面の簡単な説明

[0137] [図1]この発明の実施の形態1を説明するためのPLL回路を示すブロック図である。

[図2]この発明の実施の形態1に用いられるレベルシフタの実現例を示すブロック図である。

[図3]この発明の実施の形態1のPLL回路に用いられるVCOの電圧一周波数特性を示す図である。

[図4]この発明の実施の形態1に用いられる位相比較器とレベルシフタの基本動作概念を示す図である。

[図5]この発明の実施の形態1のPLL回路の数式モデルを説明する図である。

[図6]この発明の実施の形態1のPLL回路の位相制御方法を示す図である。

請求の範囲

- [1] 基準クロック信号と比較クロック信号とを入力して基準クロック信号と比較クロック信号との位相を比較し、位相差に応じて3つの電圧レベルを持つ矩形波信号を生成して出力する位相比較器と、
位相比較器から出力される矩形波信号を入力して、矩形波信号の電圧レベルをシフトして、この電圧レベルをシフトさせた矩形波信号を出力するレベルシフタと、
レベルシフタから出力される矩形波信号を入力し、その矩形波信号の電圧レベルに応じた周波数のクロック信号を出力する電圧制御発振器(VCO)と、
VCOから出力されるクロック信号をN分周(Nは自然数)した信号を比較クロック信号として上記位相比較器に帰還する分周器とを備えたことを特徴とするフェイズ・ロックド・ループ(PLL)回路。
- [2] 上記位相比較器は、基準クロック信号と比較クロック信号との位相の比較を、基準クロック信号の周期毎に実行し、高電圧レベルと低電圧レベルと基準レベルの3値を持つ矩形波信号を生成することを特徴とする請求項1記載のPLL回路。
- [3] 上記位相比較器は、比較クロック信号に位相遅れの位相差がある場合、高電圧レベルの矩形波信号の時間幅を位相差に比例させて高電圧レベルの矩形波信号を生成し、比較クロック信号に位相進みの位相差がある場合、低電圧レベルの矩形波信号の時間幅を位相差に比例させて低電圧レベルの矩形波信号を生成し、位相差なしの場合には、高電圧レベルの矩形波信号と低電圧レベルの矩形波信号とを出力せず基準レベルの信号を出力することを特徴とする請求項2記載のPLL回路。
- [4] 上記レベルシフタは、位相比較器から出力される高電圧レベルの矩形波信号の電圧値と低電圧レベルの矩形波信号の電圧値と基準レベルの電圧値との3つの電圧値を、VCOを制御する電圧値に変換することを特徴とする請求項1記載のPLL回路。
- [5] 上記レベルシフタは、直列に接続された複数の抵抗器と、上記3つの電圧値に基づいて上記複数の抵抗器の接続を変更してVCOを制御する電圧値を生成するスイッチとを備えたことを特徴とする請求項4記載のPLL回路。
- [6] 上記位相比較器は、基準クロック信号と比較クロック信号との位相の比較を、基準ク

ロック信号の周期毎に実行し、高電圧レベルと低電圧レベルと基準レベルの3値を持つ矩形波信号を生成することを特徴とする請求項1記載のPLL回路。

[7] 上記VCOは、任意の電圧対周波数特性を持つことを特徴とする請求項1記載のPLL回路。

[8] 上記PLL回路は、PLL回路の応答が数列によって表現された数式モデルを動作原理とすることを特徴とする請求項1記載のPLL回路。

[9] 基準クロック信号と比較クロック信号とを入力して基準クロック信号と比較クロック信号との位相を比較し、位相差に応じて3つの電圧レベルを持つ矩形波信号を生成して出力し、

上記矩形波信号を入力して、矩形波信号の電圧レベルをシフトして、この電圧レベルをシフトさせた矩形波信号を出力し、

上記電圧レベルをシフトさせた矩形波信号を入力し、その矩形波信号の電圧レベルに応じた周波数のクロック信号を出力し、

上記クロック信号をN分周(Nは自然数)した信号を上記比較クロック信号として帰還することを特徴とするフェイズ・ロックド・ループ(PLL)回路の位相同期方法。

[10] 基準クロック信号と比較クロック信号との位相の比較を、基準クロック信号の周期毎に実行し、高電圧レベルと低電圧レベルと基準レベルの3値を持つ矩形波信号を生成することを特徴とする請求項9記載のPLL回路の位相同期方法。

[11] 基準クロック信号と比較クロック信号とを入力して基準クロック信号の位相と比較クロック信号の位相とを比較し、位相差に応じた時間幅を持つ所定電圧レベルの矩形波信号を生成して出力する位相比較器と、

位相比較器から出力される信号を入力し、その信号の電圧レベルに応じた周波数のクロック信号を出力する電圧制御発振器(VCO)と、

VCOから出力されるクロック信号をN分周(Nは自然数)した信号を比較クロック信号として上記位相比較器に帰還する分周器と

を備えたフェイズ・ロックド・ループ(PLL)回路の動作解析方法であって、

上記基準クロック信号と比較クロック信号との位相差を下記数式モデルを用いて動作解析を行うことを特徴とするPLL回路の動作解析方法。

$$\theta_n = (1 - ((G \cdot T) / (2\pi \cdot N)))^n \cdot \theta$$

n: 自然数

π : 円周率

G: VCOの電圧対周波数特性に応じた定数

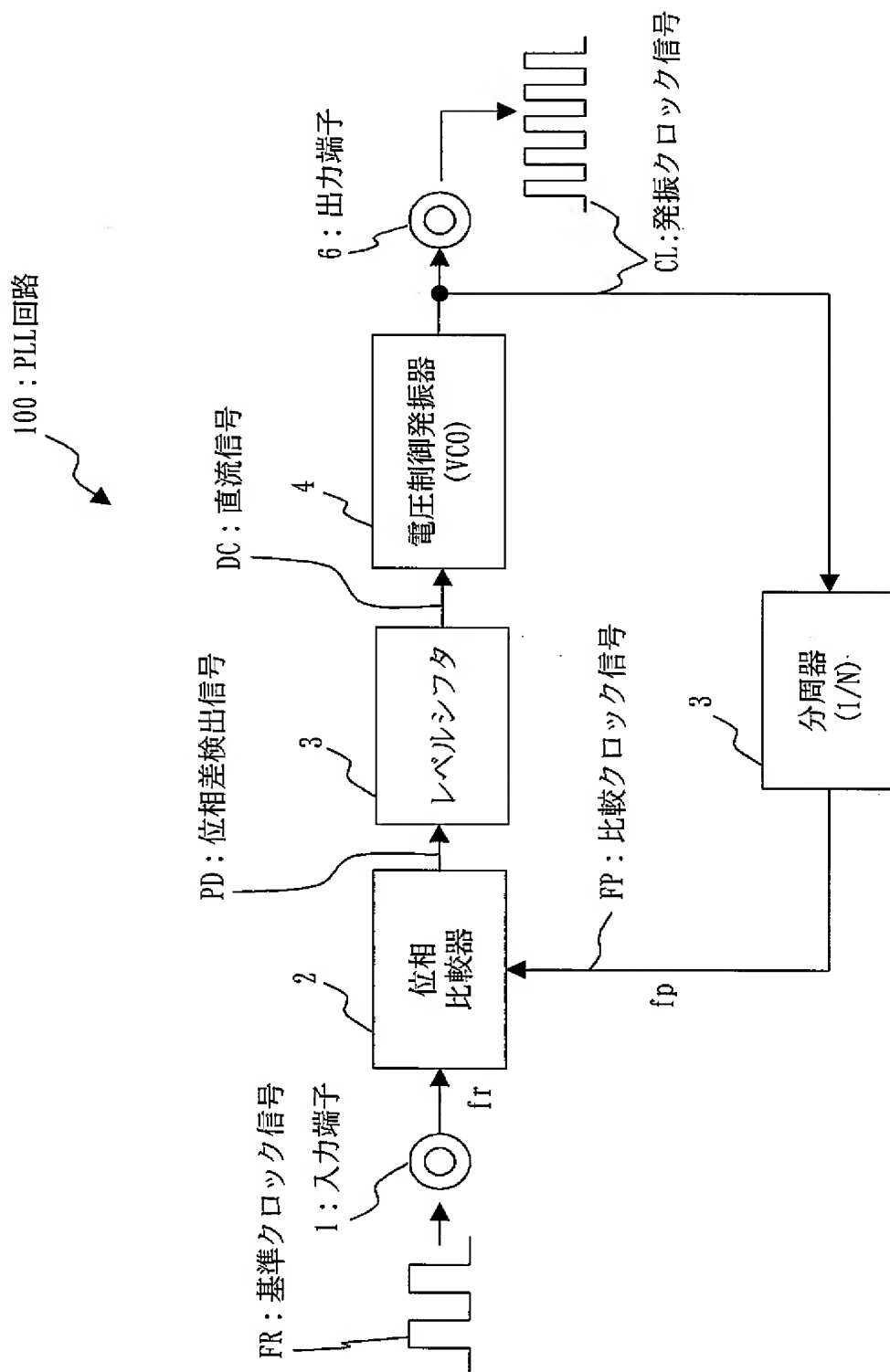
T: 基準クロック信号の発振周期

N: 分周器の分周数(自然数)

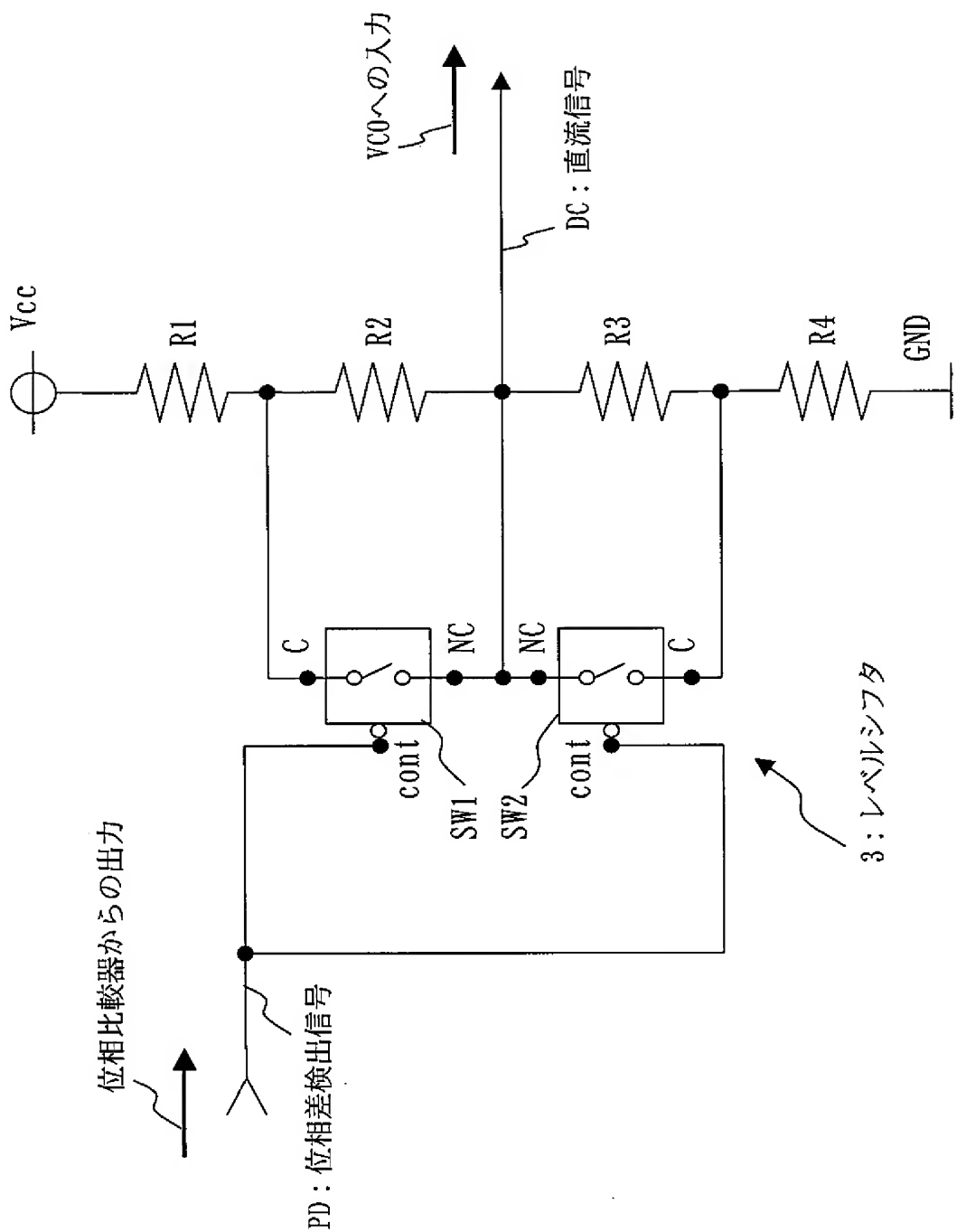
θ : 時刻0における位相差

θ_n : 時刻nTにおける位相差

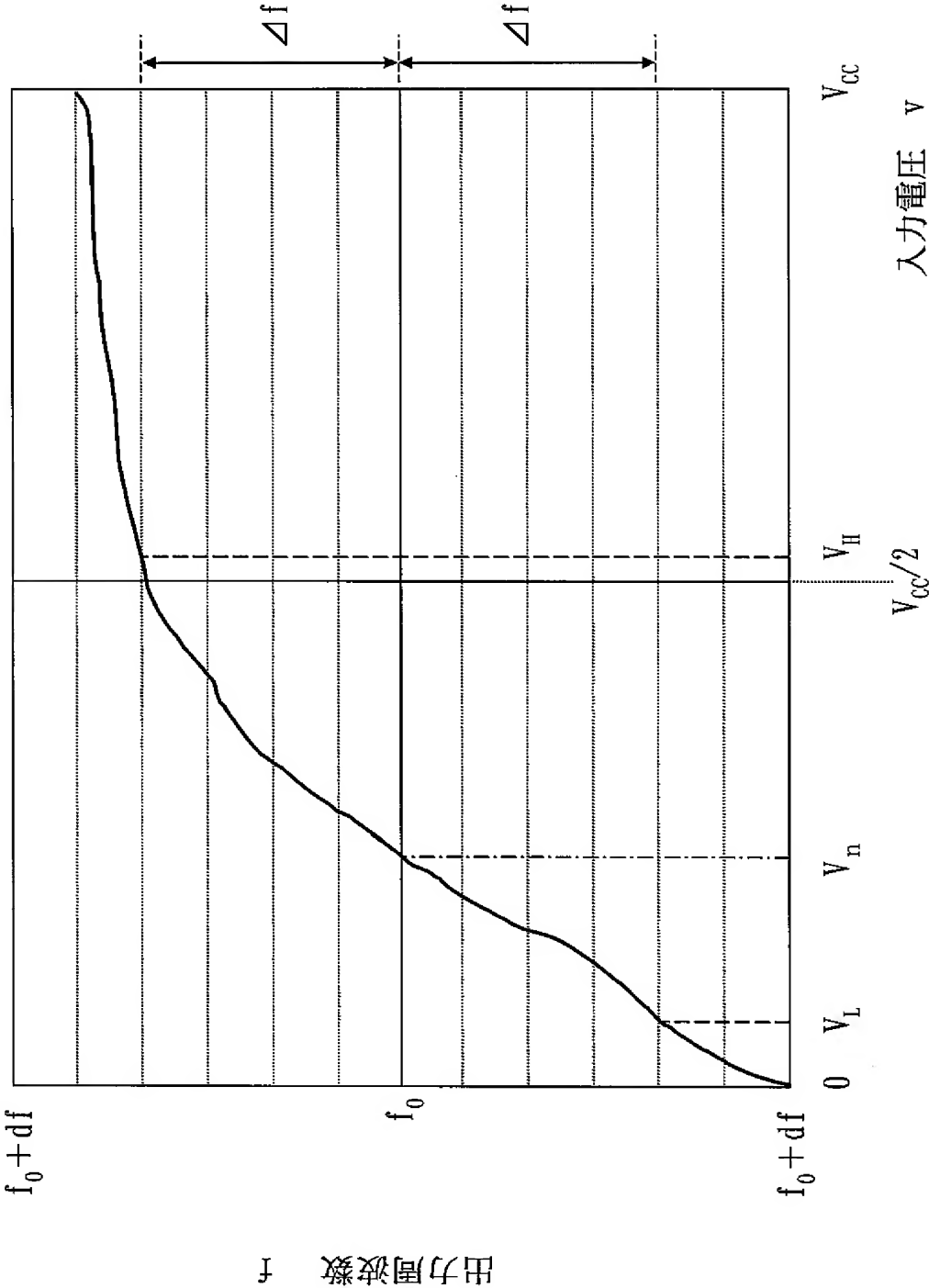
[図1]



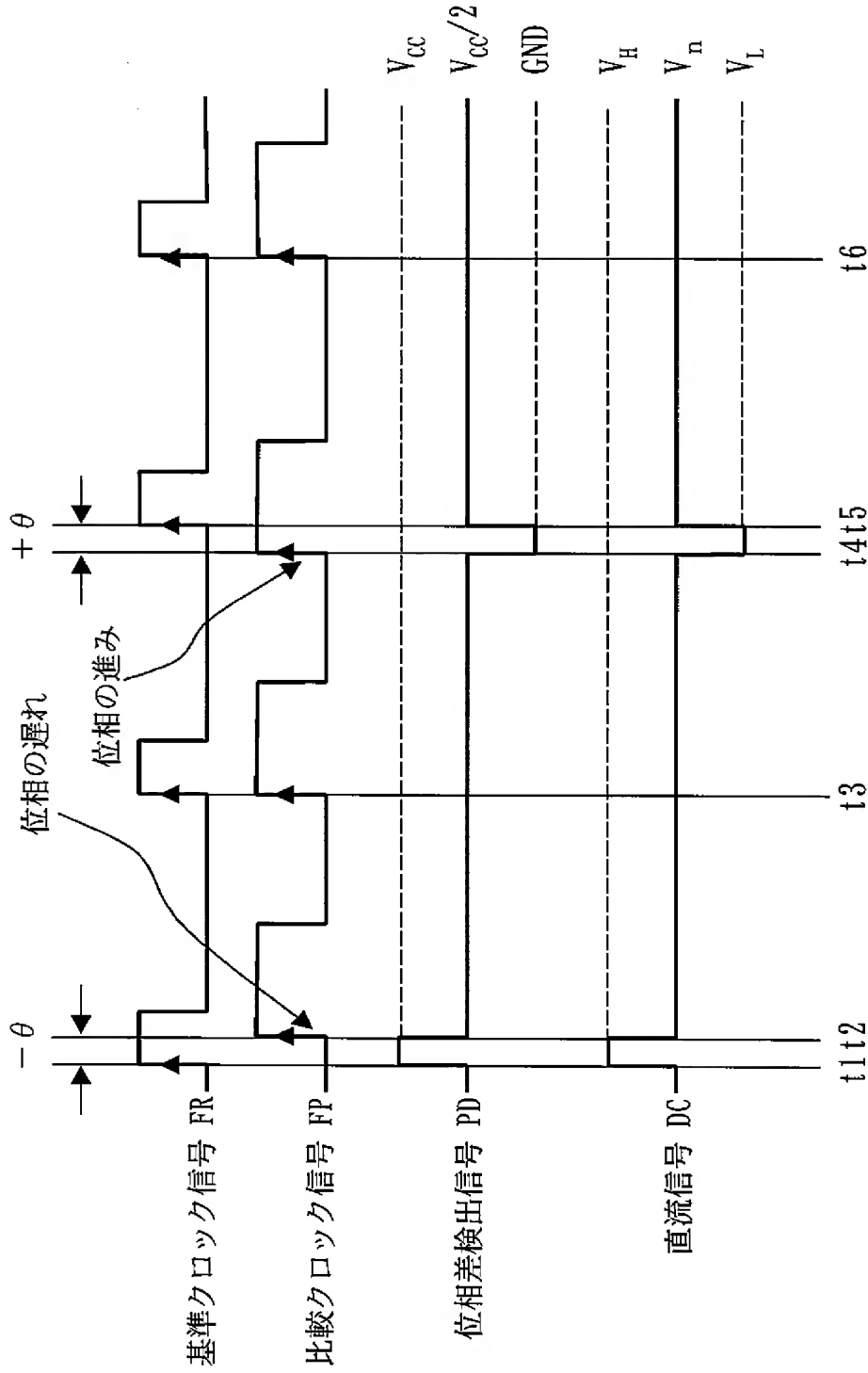
[図2]



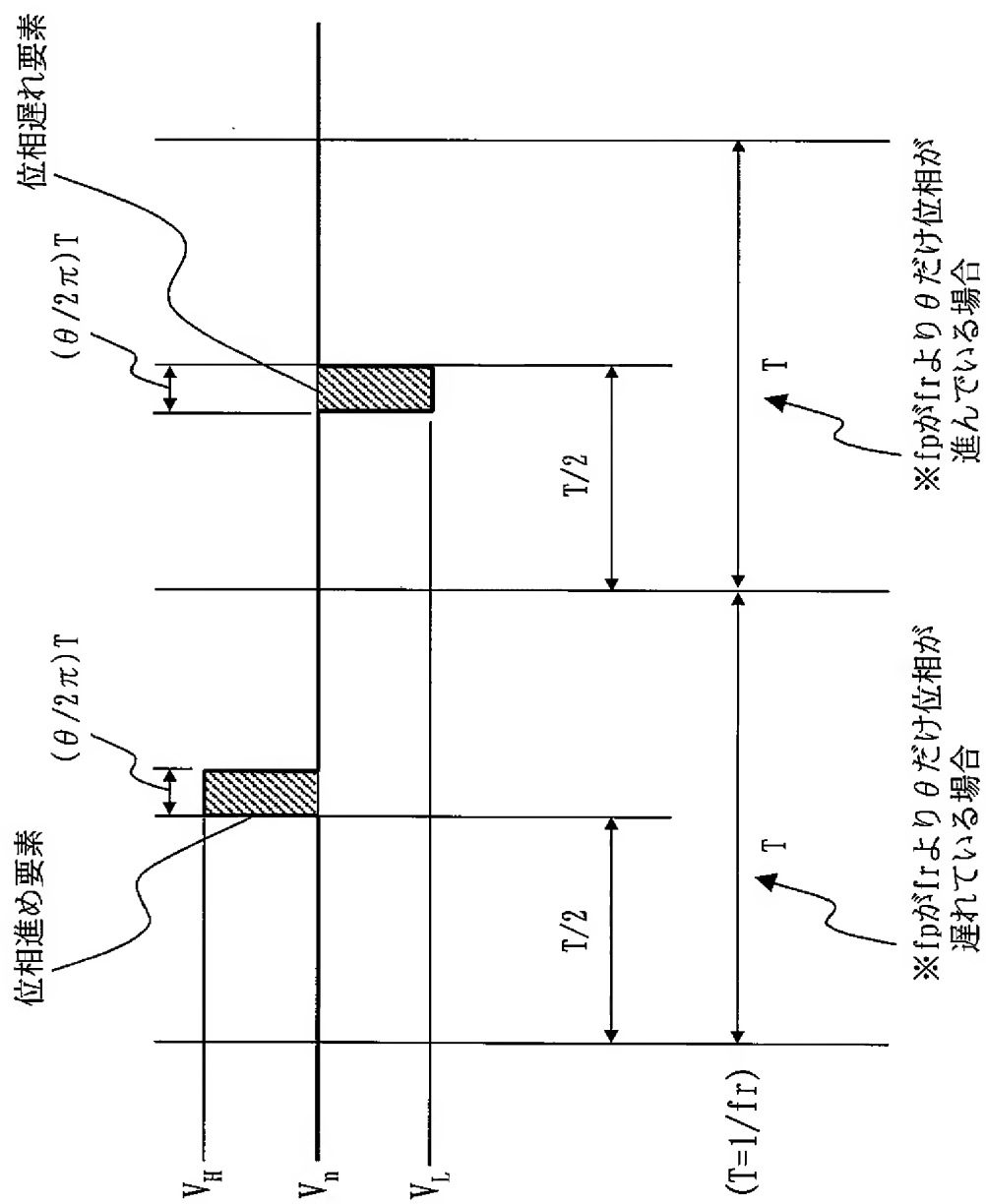
[図3]



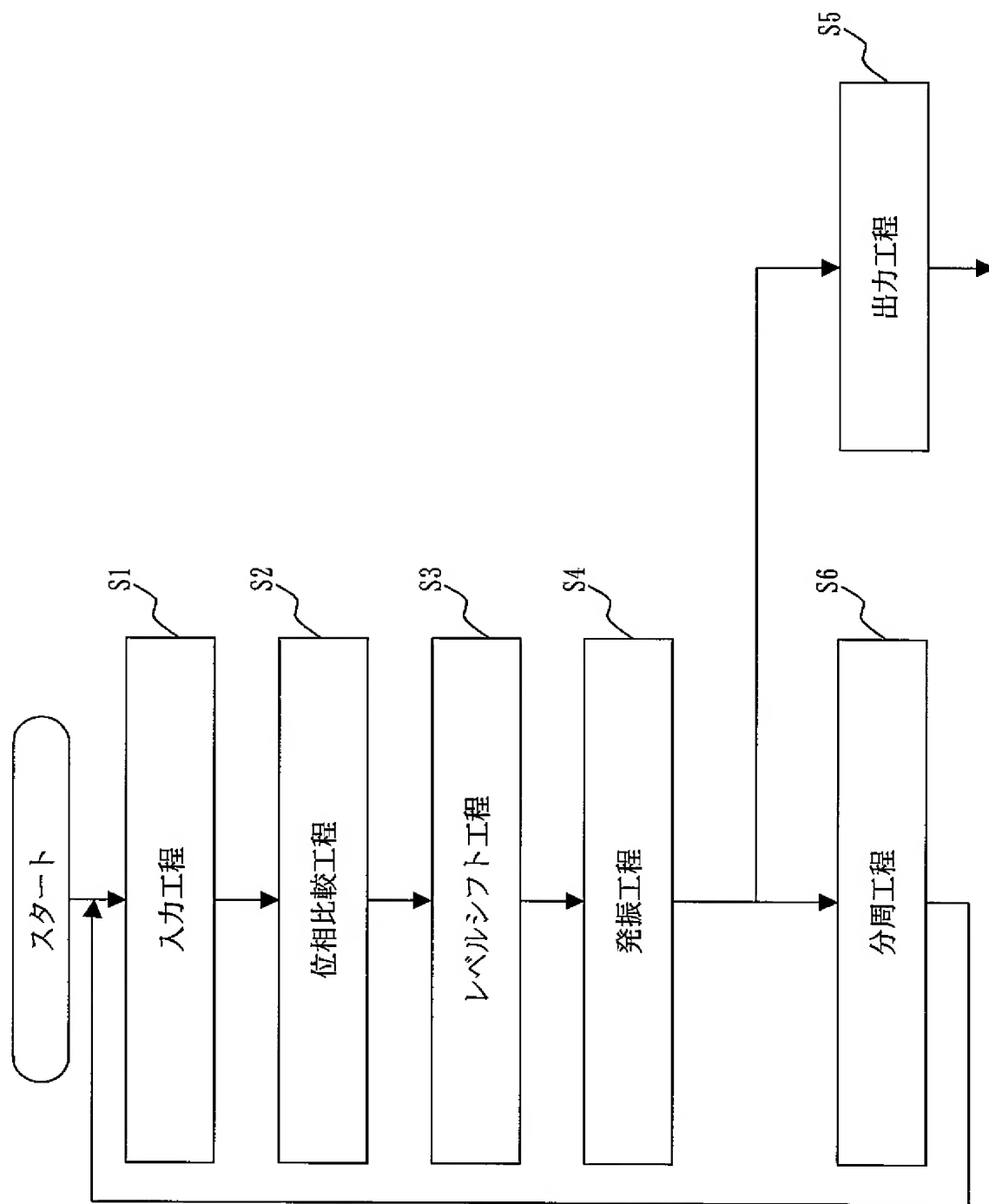
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/006639

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl.⁷ H03L7/093

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl.⁷ H03L7/06-7/23

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-040227 A (Mitsubishi Electric Corp.), 05 February, 2004 (05.02.04), Par. Nos. [0015] to [0019]; Fig. 1 (Family: none)	1-11
A	JP 08-204550 A (Sony Corp.), 09 August, 1996 (09.08.96), Par. Nos. [0003] to [0009]; Figs. 5, 8 (Family: none)	1-11

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
12 August, 2004 (12.08.04)

Date of mailing of the international search report
31 August, 2004 (31.08.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. ⁷ H03L 7/093

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. ⁷ H03L 7/06-7/23

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2004年

日本国登録実用新案公報 1994-2004年

日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2004-040227 A (三菱電機株式会社) 2004.02.05, 段落【0015】-【0019】, 第1図 (ファミリーなし)	1-11
A	JP 08-204550 A (ソニー株式会社) 1996.08.09, 段落【0003】-【0009】, 第5 図, 第8図 (ファミリーなし)	1-11

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

12.08.2004

国際調査報告の発送日

31.8.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

甲斐 哲雄

5W

9750

電話番号 03-3581-1101 内線 3575